

1/3/4 (Item 4 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

013856473 **Image available**
WPI Acc No: 2001-340686/ 200136
XRPX Acc No: N01-246670

Digital phase locked loop circuit for large scale integrated circuit, has
controller which sets number and delay circuits to be connected to
multiplexer, based on compared variable capacitance values

Patent Assignee: TOSHIBA KK (TOKE); TOSHIBA MICROELECTRONICS KK (TOSZ)

Inventor: KADA K; OOTA T

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001094417	A	20010406	JP 99271251	A	19990924	200136 B
US 6687321	B1	20040203	US 2000665681	A	20000920	200413

Priority Applications (No Type Date): JP 99271251 A 19990924

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2001094417	A		7	H03L-007/099	
US 6687321	B1			H03D-003/24	

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094417
 (43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H03L 7/099

(21)Application number : 11-271251

(71)Applicant : TOSHIBA MICROELECTRONICS
 CORP
 TOSHIBA CORP

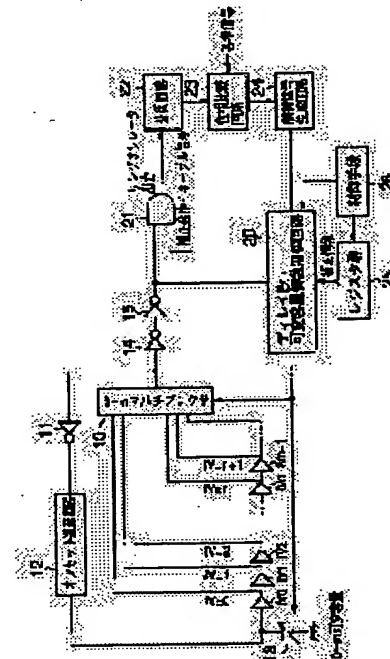
(22)Date of filing : 24.09.1999

(72)Inventor : KADA KENICHIRO
 OTA TOMOHIKO

(54) DIGITAL PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress occurrence of jitter in an output frequency of a digital PLL circuit by applying desired correction to a frequency transition even in the presence of dispersion in a delay amount characteristic caused by manufacture tolerance of ring oscillators used for a VCO of the digital PLL circuit.
SOLUTION: The ring oscillator in a digital PLL circuit is provided with delay circuits IV0-IVn in multi-stage connection, a multiplexer 10 that decides number of delay stages of the delay circuits, circuits 11, 12 that invert output signals of the multiplexer and delay the inverted output signals by a prescribed offset delay time, a variable capacitor 13 that is connected to a node located on the input side from the 1st stage circuit of the delay circuits in the multi-stage connection and whose capacitance varies by changing the number of connected unit capacitors, and a circuit 20 that controls selection of an input to the multiplexer and the number of the connected unit capacitors in the variable capacitor.



LEGAL STATUS

[Date of request for examination] 26.05.2004
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94417

(P2001-94417A)

(43) 公開日 平成13年4月6日(2001.4.6)

(51) Int.Cl.⁷

H 0 3 L 7/099

識別記号

F I

H 0 3 L 7/08

テーマコード(参考)

F 5 J 1 0 6

審査請求 未請求 請求項の数6 OL (全7頁)

(21) 出願番号 特願平11-271251

(22) 出願日 平成11年9月24日(1999.9.24)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 加田 憲一郎

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

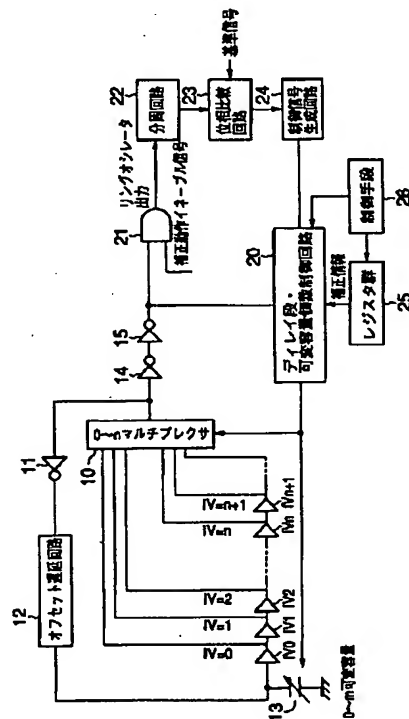
最終頁に続く

(54) 【発明の名称】 デジタル方式PLL回路

(57) 【要約】

【課題】 デジタル方式PLL回路のVCOとして使用されるリングオシレータの製造ばらつきによる遅延量特性のばらつきが存在しても、周波数遷移時に所望の補正を行うことができ、PLL出力周波数のジッタの発生を抑制する。

【解決手段】 デジタル方式PLL回路において、リングオシレータは、多段接続された遅延回路IV0 ~ IVn と、遅延回路の遅延段数を決定するマルチプレクサ10と、マルチプレクサの出力信号を反転させるとともに所定のオフセット遅延時間量だけ遅延させる回路11、12と、多段接続された遅延回路の初段回路より入力側のノードに接続され、複数の単位容量の接続個数を切換えることにより容量値が変化するように構成された可変容量13と、補正情報を参照し、マルチプレクサの入力の選択および可変容量の容量接続個数を制御する回路20とを具備する。



【特許請求の範囲】

【請求項 1】 可変周波数構成のリングオシレータと、前記リングオシレータの出力信号を分周する分周回路と、前記分周回路の分周出力と位相基準信号を比較する位相比較回路と、前記位相比較回路の比較出力に対応した制御信号を生成し、前記リングオシレータへ供給する制御信号生成回路とを具備し、前記リングオシレータは、多段接続された遅延回路と、前記多段接続された遅延回路の各段の出力信号を択一的に選択し、遅延回路の遅延段数を決定するマルチプレクサと、前記マルチプレクサの出力信号を反転させる反転遅延回路と、複数の単位容量の接続個数を切換えることにより容量値が変化するように構成された可変容量と、補正情報を参照し、前記マルチプレクサの入力の選択および前記可変容量の容量接続個数を制御する遅延段数・可変容量個数制御回路とを具備することを特徴とするデジタル方式 PLL 回路。

【請求項 2】 前記マルチプレクサにより選択される前記遅延回路の遅延段数が隣り合うものの遅延時間量特性の遅延時間量がオーバーラップするオーバーラップ領域を持つことを特徴とする請求項 1 記載のデジタル方式 PLL 回路。

【請求項 3】 前記マルチプレクサの出力側に接続され、マルチプレクサの出力信号の通過を補正動作イネーブル信号により制御する論理ゲート回路と、前記補正動作イネーブル信号が活性レベルの期間に、前記遅延段数・可変容量個数制御回路を制御し、遅延回路の遅延段数の遷移に伴う可変容量の容量接続個数の最適値を前記マルチプレクサの出力信号に基づいて求め、前記補正情報を生成する制御手段とをさらに具備することを特徴とする請求項 1 または 2 記載のデジタル方式 PLL 回路。

【請求項 4】 前記制御手段は、バイナリサーチのアルゴリズムを有し、PLL 回路と同じ集積回路チップ上に設けられていることを特徴とする請求項 3 記載のデジタル方式 PLL 回路。

【請求項 5】 制御手段は、PLL 出力を供給しなくてもよい期間に、定期的に、あるいは外部からの要求に応じて、あるいは温度変動、電源変動などの検知出力をトリガーとして自動的に実行することを特徴とする請求項 3 または 4 記載のデジタル方式 PLL 回路。

【請求項 6】 前記補正情報は、遷移前の遅延回路の遅延段数から遷移後の遅延回路の遅延段数に遷移する際の最適な可変容量の容量接続個数であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のデジタル方式 PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル方式 PLL（位相同期ループ）回路に係り、特に VCO（電圧制御発振回路）として多段接続された遅延回路の遅延段数を選択可能であって可変容量が接続される周波数可変型のリングオシレータを用いた PLL 回路に関するもので、各種の LSI（大規模集積回路）に使用されるものである。

10 【0002】

【従来の技術】図 4 は、従来のデジタル方式 PLL 回路内の VCO として形成された周波数可変型のリングオシレータの構成を示す。

【0003】図 4 において、IV0 ~ IVn は多段接続された遅延回路、40 は上記遅延回路 IV0 ~ IVn の各段の出力信号を択一的に選択し、遅延回路の遅延段数を決定するマルチプレクサである。41 は上記マルチプレクサ 40 の出力信号が入力するインバータ回路、42 は上記インバータ回路 41 の出力信号が入力オフセット遅延時間量だけ遅延した遅延信号を出力し、遅延回路 IV0 ~ IVn の初段回路の入力として帰還するオフセット遅延回路である。

【0004】43 は遅延回路 IV0 ~ IVn の初段回路の入力側ノードと接地ノードとの間に接続された可変容量であり、本例では複数の単位容量の接続（例えば並列接続）個数を切換えることにより容量値を変化させるように構成されている。

【0005】遅延回路 IV0 ~ IVn のうちの選択された段数、マルチプレクサ 40、インバータ回路 41、オフセット遅延回路 42 はループ接続されており、可変容量 43 とともにリングオシレータを形成している。

【0006】44、45 はマルチプレクサ 40 の出力側に接続された二段のインバータ回路であり、後段側のインバータ回路 45 の出力信号はリングオシレータの出力となる。

【0007】遅延段数・可変容量個数制御回路 46 は、可変容量 43 の容量値（接続個数）およびマルチプレクサ 40 の入力の選択（遅延回路の遅延段数の選択）を制御するための制御信号を生成するものである。

【0008】上記した二段のインバータ回路 44、45 を含むリングオシレータを VCO として用いる遅延素子選択方式のデジタル方式 PLL 回路では、リングオシレータの出力を分周回路（図示せず）で分周し、この分周出力と位相基準信号を位相比較回路（図示せず）で比較し、比較出力に対応した制御信号を生成して遅延段数・可変容量個数制御回路 46 に入力する。

【0009】図 5 は、上記した図 4 の可変周波数構成のリングオシレータにおける遅延回路 IV0 ~ IVn のうちの選択した遅延段数（IV=0 ~ n+1）および単位容量 CAP の接続個数（0 ~ m）と遅延量（遅延時間量）との関係（遅延時間量特性）を示す。

50 【0010】即ち、遅延回路の遅延段数を変化させると

3

遅延時間量はステップ状に大きく変化し、遅延回路の遅延段数を固定した状態で可変容量43の容量値（接続個数）を変化させると遅延時間量は一定範囲内ではほぼ連続的に変化する。そして、遅延回路の遅延段数がある段数の場合に可変容量43の容量値を最大にした時の遅延時間量と、遅延回路の遅延段数を1段増やした場合に可変容量43の容量値を最小にした時の遅延時間量とがほぼ等しくなるように設定されている。

【0011】したがって、上記構成のデジタル方式PLL回路によれば、リングオシレータの発振周波数を遅延回路の遅延段数により粗調整し、可変容量43の容量値（接続個数）により微調整することにより、目的の出力周波数が得られる。

【0012】ところで、上記リングオシレータが、ある遅延段数の遅延回路およびある接続個数の単位容量によりある周波数で発振している状態から、周波数制御入力の変化に応じたPLL動作により、遅延回路の遅延段数および／または単位容量の接続個数を変更された場合を考える。

【0013】この時、単位容量の接続個数のみの変更であれば、PLL回路の出力周波数は可変容量43の容量値の変化分のみで抑えられるが、単位容量の接続個数のみの変更では所望の発振周波数の変化が得られないことから遅延回路の遅延段数も変更した場合には、遅延回路の遅延特性のばらつきに起因してPLL出力周波数が大幅に変化し、出力周波数のジッタ（出力信号のエッジの揺れ）が発生する。

【0014】この出力周波数のジッタが発生する原因として、図5を参照して説明した遅延量特性が、製造ばらつきにより変化する場合が考えられる。即ち、製造ばらつきにより遅延回路の1段当りの遅延量や単位容量の1個当りの遅延量がばらついた場合、図6に示す遅延量特性のように、遅延回路の遅延段数がある段数の場合に可変容量の容量値を最大にした時の遅延時間量よりも、遅延回路の遅延段数を1段増やした場合に可変容量の容量値を最小にした時の遅延時間量が大きくなる場合が考えられる。

【0015】図6に示すような遅延量特性では、可変容量の容量値をそのままにして遅延回路の遅延段数を変更した場合に遅延時間量の変化量が大きくなり過ぎ、PLL出力周波数のジッタが発生し、PLL特性が劣化する原因となる。

【0016】そこで、このような問題を回避するために、遅延時間量の変化の連続性を確保し得るように工夫することが考えられる。即ち、例えば図7に示す遅延量特性のように、遅延回路の遅延段数が隣り合うものの遅延時間量特性の一端部同士の遅延時間量がオーバーラップするオーバーラップ領域を持つように予め設計しておく。そして、遅延回路の遅延段数を隣りの遅延段数に変更（遷移）する際に、可変容量を前記オーバーラップ領

4

域内の対応する遅延時間量が得られる容量値（最小、最大以外の容量値）に変更させるようにする。

【0017】しかし、図7に示す遅延量特性のように工夫しても、製造ばらつきによる遅延量特性のばらつきを避けることはできず、遅延回路の1段当りの遅延量や単位容量の1個当りの遅延量がばらついた場合には、遅延回路の遅延段数を変更した場合に遅延時間量の変化量が大きくなり過ぎ、ジッタが発生し、PLL特性が劣化する原因となる。

10 【0018】

【発明が解決しようとする課題】上記したように従来のデジタル方式PLL回路にVCOとして使用される可変周波数構成のリングオシレータは、製造ばらつきによる遅延量特性のばらつきに起因して遅延回路の遅延段数の変更による周波数遷移時にPLL出力周波数のジッタが発生し、PLL特性が劣化するという問題があった。

20 【0019】本発明は上記の問題点を解決すべくなされたもので、可変周波数構成のリングオシレータの製造ばらつきによる遅延量特性のばらつきが存在しても、周波数遷移時に所望の補正を行うことができ、PLL出力周波数のジッタの発生、PLL特性の劣化を防止し得るデジタル方式PLL回路を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明のデジタル方式PLL回路は、可変周波数構成のリングオシレータと、前記リングオシレータの出力信号を分周する分周回路と、前記分周回路の分周出力と位相基準信号を比較する位相比較回路と、前記位相比較回路の比較出力に対応した制御信号を生成し、前記リングオシレータへ供給する制御信号生成回路とを具備し、前記リングオシレータは、多段接続された遅延回路と、前記多段接続された遅延回路の各段の出力信号を択一的に選択し、遅延回路の遅延段数を決定するマルチプレクサと、前記マルチプレクサの出力信号を反転させる反転遅延回路と、複数の単位容量の接続個数を切替えることにより容量値が変化するように構成された可変容量と、補正情報を参照し、前記マルチプレクサの入力の選択および前記可変容量の容量接続個数を制御する遅延段数・可変容量個数制御回路とを具備することを特徴とする。

30 【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0022】まず、本発明のデジタル方式PLL回路においてVCOとして使用される可変周波数構成のリングオシレータは、遅延回路の遅延段数の遷移に際して、PLL出力周波数のジッタの発生を最小限に抑制するように可変容量の容量値（単位容量の接続個数）の最適値（補正情報）を予め求めておき、実使用に際して上記補正情報を参照して最適な遷移状態へジャンプするように制御される。

50

【0023】この場合、補正情報を得るための高速サーチのアルゴリズム（例えばバイナリーサーチ）をPLL回路と同じLSIに内蔵しておき、PLL出力を供給しなくてもよい期間（パワーオン時も含む）に、定期的に、あるいは外部からの要求に応じて、あるいは温度変動、電源変動などの検知出力をトリガーとして自動的に前記アルゴリズムを用いて入手することができる。

【0024】例えば携帯電話のような低消費電力を強く要求されるLSIにおいては、内蔵するデジタル方式PLL回路の動作を定期的に休止して消費電流を低減させており、上記休止期間（PLL出力を供給しなくてもよい期間）に補正動作を支障なく行わせることが可能である。

【0025】図1は、本発明の第1の実施の形態に係るデジタル方式PLL回路を示す。

【0026】このPLL回路において、可変周波数構成のリングオシレータは、図4を参照して前述したリングオシレータと比べて、主として次の点（1）、（2）が異なり、その他は同じであるので図4中と同一符号を付している。

【0027】（1）遅延回路の遅延段数の遷移による周波数遷移時には、遅延段数・可変容量個数制御回路20は、補正情報に基づいて制御を行う。

【0028】（2）補正情報を得る時には、リングオシレータの出力周波数が変化するので、この時のリングオシレータの出力の供給を停止するために、マルチプレクサの出力側に二入力のアンド回路21を挿入しておく。そして、このアンド回路21の一方の入力としてリングオシレータの出力信号を入力し、他方の入力として補正動作イネーブル信号（活性レベルは“L”）を入力する。これにより、補正情報を得る時にはアンド回路21が閉じられ、通常動作時のアンド回路21の出力がリングオシレータの出力として供給される。

【0029】即ち、図1において、IV0～IVnは多段接続された遅延回路、10は上記遅延回路IV0～IVnの各段の出力信号を一括的に選択し、遅延回路の遅延段数を決定するマルチプレクサである。11は上記マルチプレクサ10の出力信号が入力するインバータ回路、12は上記インバータ回路11の出力信号が入力オフセット遅延時間量だけ遅延した遅延信号を出力し、遅延回路IV0～IVnの初段回路の入力として帰還するオフセット遅延回路である。

【0030】13は遅延回路IV0～IVnの初段回路の入力側ノードと接地ノードとの間に接続された可変容量であり、本例では複数の単位容量の接続（例えば並列接続）個数を切替えることにより容量値を変化させるように構成されている。

【0031】遅延回路IV0～IVnのうちの選択された段数、マルチプレクサ10、インバータ回路11、オフセット遅延回路12はループ接続されており、可変容量13とともに

にリングオシレータを形成している。

【0032】なお、インバータ回路11、オフセット遅延回路12の接続順序は限定されるものではなく、これらは、マルチプレクサ10の出力信号を反転させるとともに所定のオフセット遅延時間量だけ遅延させる反転遅延回路であればよい。

【0033】14、15はマルチプレクサ10の出力側に接続された二段のインバータ回路であり、後段側のインバータ回路15の出力信号は遅延段数・可変容量個数制御回路20に入力するとともに二入力のアンド回路21の一方の入力となる。

【0034】そして、前記アンド回路21の他方の入力として補正動作イネーブル信号（活性レベルは“L”）が入力し、このアンド回路21の出力はリングオシレータの出力となる。

【0035】上記した二段のインバータ回路14、15およびアンド回路21を含むリングオシレータをVCOとして用いる遅延素子選択方式のデジタル方式PLL回路では、リングオシレータの出力を分周回路22で分周し、この分周出力と位相基準信号を位相比較回路23で比較し、比較出力に対応した制御信号を制御信号生成回路24で生成して遅延段数・可変容量個数制御回路20に入力する。

【0036】遅延段数・可変容量個数制御回路20は、補正情報を参照し、マルチプレクサ10の入力の選択（遅延回路の遅延段数の選択）および可変容量13の容量値（接続個数）を制御するための制御信号を生成するものである。

【0037】図2は、図1中の可変周波数構成のリングオシレータにおける遅延回路のうちの選択した遅延段数（IV=0～n）および単位容量の接続個数（CAP=0～m）と遅延時間量との関係（遅延時間量特性）を示す。

【0038】即ち、遅延回路の遅延段数を変化させると遅延時間量はデジタル的に大きく変化し、遅延回路の遅延段数を固定した状態で可変容量の容量値（接続個数）を変化させると遅延時間量は一定範囲内ではほぼ連続的に変化する。

【0039】この場合、遅延回路の遅延段数が隣り合うものの遅延時間量特性の一端部同士の遅延時間量がオーバーラップするオーバーラップ領域を持つように予め設計しておく。つまり、遅延回路の遅延段数がある段数の場合に可変容量の容量値を最大付近にした時の遅延時間量と、遅延回路の遅延段数を1段増やした場合に可変容量の容量値を最小付近にした時の遅延時間量とがオーバーラップするように設計しておく。

【0040】一方、遅延回路の遅延段数の変更を伴う周波数遷移時に、最適な遷移状態へジャンプするように補正情報を得るための高速サーチのアルゴリズム（例えばバイナリーサーチ）を、その格納手段（例えばレジスタ群25）および制御手段26とともにPLL回路と同じLSIに内蔵している。

【0041】そして、上記アルゴリズムによるバイナリーサーチの動作は、PLL出力を供給しなくてもよい期間（パワーオン時も含む）に、定期的に、あるいは外部からの要求に応じて、あるいは温度変動、電源変動などの検知出力をトリガーとして自動的に実行される。

【0042】例えば携帯電話のような低消費電力を強く要求されるLSIにおいては、内蔵するデジタル方式PLL回路の動作を定期的に休止して消費電流を低減させており、上記休止期間（PLL出力を供給しなくてもよい期間）に補正動作を支障なく行わせることが可能である。

【0043】即ち、上記したような補正を行うために、前述したようにマルチプレクサ10の出力信号の通過を補正動作イネーブル信号により制御するためのゲート回路21を挿入している。そして、補正動作イネーブル信号が活性レベルの期間に、遅延段数・可変容量個数制御回路20を制御し、遅延回路の遅延段数の遷移に伴う可変容量の容量接続個数の最適値をマルチプレクサ10の出力信号に基づいて求める制御手段（バイナリーサーチのアルゴリズムを有する）26とをさらに具備している。

【0044】図3は、図1中のリングオシレータにおける補正情報を得るためのバイナリーサーチのアルゴリズムの一例を示している。

【0045】初期設定として、可変容量13の単位容量の最大接続個数 $x=63$ 、可変容量の単位容量の最小接続個数 $y=0$ 、補正動作の回数（サーチ回数） $i=0$ 、遅延回路の遅延段数が n で $x=63$ の場合の基準クロック区間（例えば 32kHz 周期）のPLL出力パルス（例えば 10MHz ）のカウント値 $=A$ 、遅延回路の遅延段数が n から $n+1$ へ遷移する時の単位容量の接続個数（容量個数） m は i の関数とする。

【0046】まず、遅延回路の遅延段数が n から $n+1$ へ遷移する時の容量個数の初期値 $m(0)$ を32（つまり、 x の最大値のほぼ中央値）とし、この時のPLL出力パルスのカウント値を B とする。 $A=B$ の場合は、遅延段数 $=n$ で $x=63$ の状態と遅延段数 $=n+1$ で $x=32$ の状態とで遅延時間量が等しいので、 $m=32$ の値を所定のレジスタ（ n ）に保存しておく。

【0047】これに対して、 $A<B$ あるいは $B<A$ の場合は、図3中に示すようなバイナリーサーチのアルゴリズムを用いて、 $A=B$ となる容量個数の最適値 $m(i)$ を求め、 $m(i)$ の値を前記レジスタ（ n ）に保存しておく。

【0048】なお、前記したようなバイナリーサーチの動作は、遷移前の遅延段数を変えながら遷移後の遅延段数が増加および／または減少する場合についてそれぞれ実行し、それぞれの場合の容量個数の最適値 $m(i)$ をそれぞれレジスタ（ $0 \sim n+1$ ）に保存しておく。

【0049】実使用状態において、遷移前の遅延段数 $=n$ で $x=63$ の状態から遅延段数 $=n+1$ の状態へ遷移

する時には、前記レジスタ（ n ）の保存情報が遅延段数・可変容量個数制御回路20により参照される。

【0050】上記構成によれば、基本的には従来のリングオシレータと同様に、発振周波数を遅延回路の遅延段数により粗調整し、可変容量13の容量値（接続個数）により微調整することにより、目的の出力周波数が得られる。

【0051】そして、遅延回路の遅延段数の遷移に際して、PLL出力周波数のジッタの発生を最小限に抑制するように可変容量13の容量値（単位容量の接続個数）の最適値（補正情報）を予め求めておく。

【0052】そして、遅延回路の遅延段数の変更を伴う周波数遷移時には、遅延段数・可変容量個数制御回路20は、補正情報に基づいた最適な遷移状態へジャンプするように補正制御される。

【0053】例えば図2に示すように、遅延回路の遅延段数を隣りの遅延段数に変更（遷移）する際に、可変容量をオーバーラップ領域内の対応する遅延時間量が得られる最適な容量値に変更する。

【0054】したがって、リングオシレータの製造ばらつき、温度変動、電源変動など他の条件の変動による遅延量特性のばらつきや変動が存在しても、適宜補正情報を入手しておくことにより、周波数遷移時に所望の補正を行うことができ、PLL出力周波数のジッタの発生、PLL特性の劣化を防止することが可能になる。

【0055】

【発明の効果】上述したように本発明のデジタル方式PLL回路によれば、可変周波数構成のリングオシレータの製造ばらつき、温度変動、電源変動など他の証券の変動による遅延量特性のばらつきが存在しても、周波数遷移時に所望の補正を行うことができ、PLL出力周波数のジッタの発生、PLL特性の劣化を防止し得るデジタル方式PLL回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るデジタル方式PLL回路を示すブロック図。

【図2】図1中の可変周波数構成のリングオシレータにおける遅延回路の遅延段数（ $IV=0 \sim n$ ）および単位容量の接続個数（ $CAP=0 \sim m$ ）と遅延時間量との関係を示す特性図。

【図3】図1中のリングオシレータにおける補正情報を得るためのバイナリーサーチのアルゴリズムの一例を示すフローチャート。

【図4】従来のデジタル方式PLL回路内のVCOとして形成された周波数可変型のリングオシレータの構成を示すブロック図。

【図5】図4の可変周波数構成のリングオシレータにおける遅延回路の遅延段数（ $IV=0 \sim n$ ）および単位容量の接続個数（ $CAP=0 \sim n$ ）と遅延時間量との関係を示す特性図。

【図6】図5に示した特性が製造ばらつきにより変化した場合の一例を示す特性図。

【図7】遅延時間量の変化の連続性を確保し得るように工夫した遅延量特性の一例を示す特性図。

【符号の説明】

IV0 ～ IVn …遅延回路、

10…マルチプレクサ、

11…インバータ回路、

12…オフセット遅延回路、

13…可変容量、

14、15…インバータ回路、

20…遅延段数・可変容量個数制御回路、

21…アンド回路、

22…分周回路、

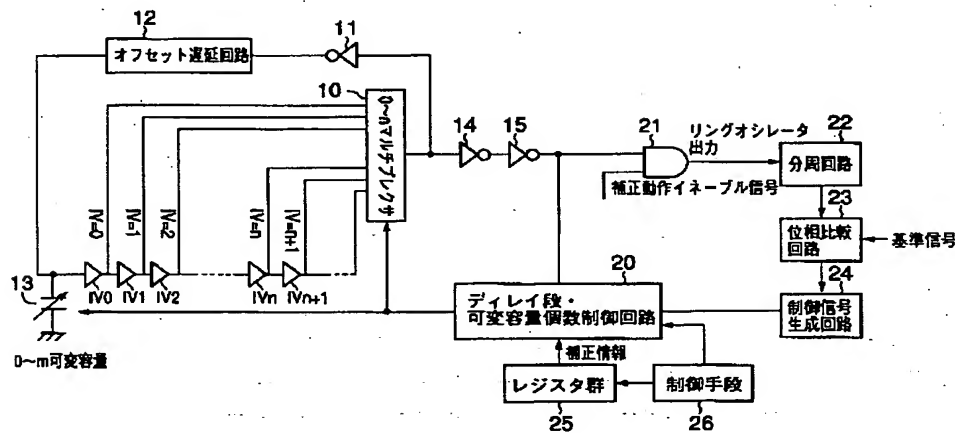
23…位相比較回路、

24…制御信号生成回路、

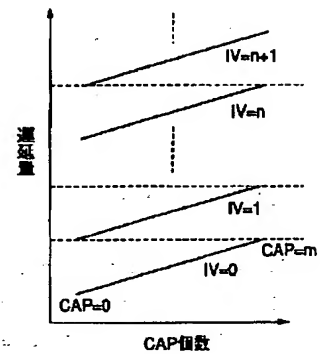
25…レジスタ群、

26…制御手段。

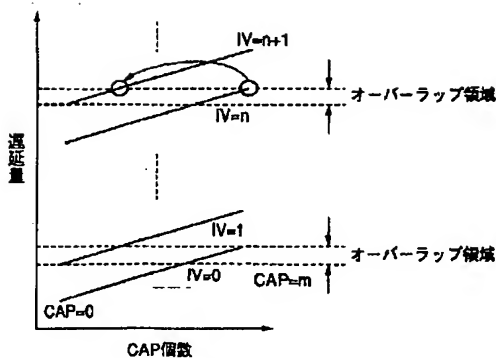
【図1】



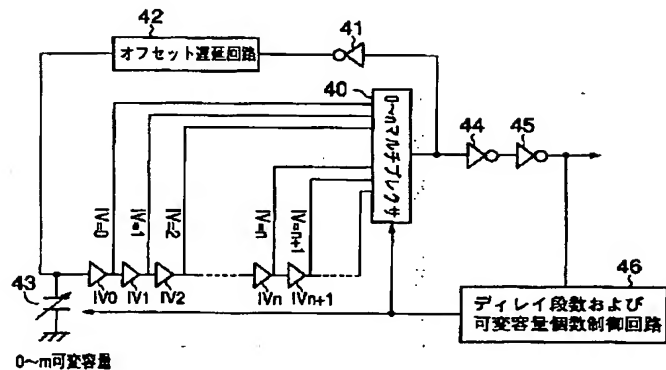
【図5】



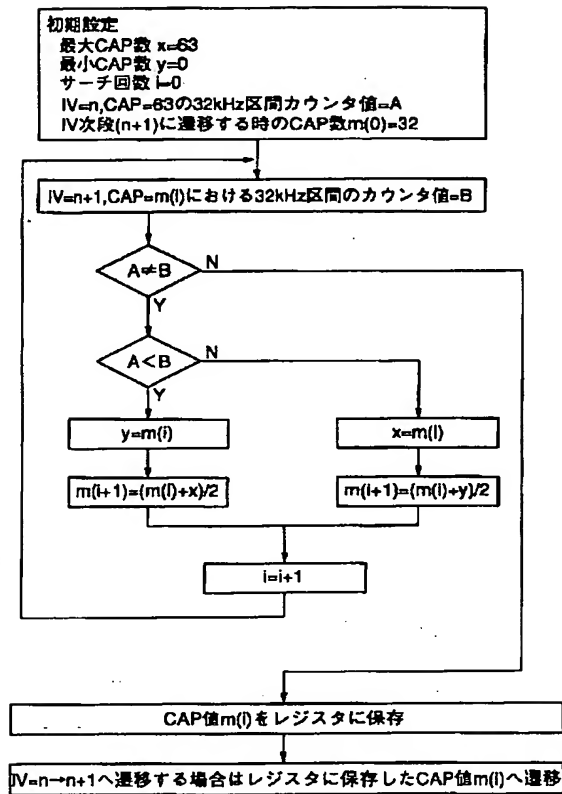
【図2】



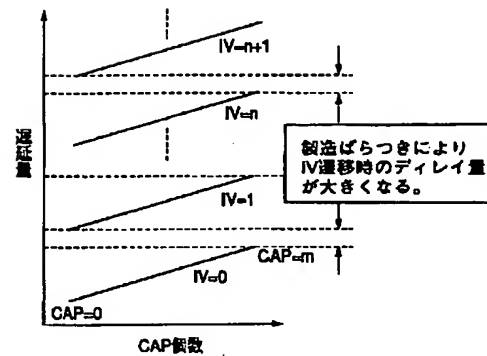
【図4】



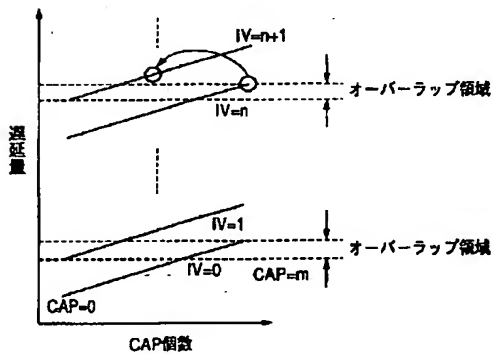
【図3】



【図6】



【図7】



フロントページの続き

(72)発明者 太田 朋彦
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

Fターム(参考) 5J106 AA04 CC01 CC21 CC52 CC58
 DD09 DD24 DD38 DD46 GG01
 HH10 JJ01 KK12 KK25 KK36